

Pour votre 6800 :

MINIPROM I : programmeur d'EPROM 2708
version "J" : spécialement adapté au
MEK 6800 D2..... 800 F.T.T.C.
version "A" : moniteur indépendant, gé-
ré par votre terminal ACIA 850 F.T.T.C.
Logiciel fourni sur mémoire morte
MINIPROM I peut aussi programmer des 2716 grâce
aux programmes de gestion :
"J-2716"..... 150 F.T.T.C.
"A-2716"..... 200 F.T.T.C.
fournis sur mémoire morte
Interfaçage avec autres équipements de la gamme
MOTOROLA, nous contacter.

Logiciels 6800 "COMPUTER WORKSHOP"
Assembleur - éditeur, jeux, 3K, 4K, 8K, basic, calcul

virgule flottante, relocalisateur, processeur de texte, etc.
fournis sur cassette compatible "Mikbug".

Lampe UV : jusqu'à 4 EPROM
simultanément 850 F.T.T.C.
CPU + RAM + horloge MC 6802 P..... 180 F.T.T.C.
MCM 2708 L 100 F.T.T.C.
CPU MC 6800 P..... 120 F.T.T.C.
RAM (128x8-450n. s.)
MCM 68A10P.... 35 F.T.T.C.
PIA MC 6820 P..... 53 F.T.T.C.
ACIA MC 6850 P..... 43 F.T.T.C.
TIMER MC 6840 CP..... 170 F.T.T.C.
R.S. 232 driver MC1488P..... 30 F.T.T.C.
R.S. 232 receiver MC1489P..... 20 F.T.T.C.

Règlement à la commande + 15 F de frais de port

MPU

Documentation sur simple demande
12, rue chabonais - 75002 paris - tél. 742.79.00

Réalisez votre micro-ordinateur « Micro-Systèmes 1 »

C'est avec enthousiasme que nous repartons
avec vous dans ce numéro 3 pour l'étude de
« Micro-Systèmes 1 ».

Il est certain que cette idée a fait, parmi nos
lecteurs, de nombreux adeptes qui n'ont pas
manqué de nous manifester leur intérêt.

Bien que vous ayez de bonnes raisons de vouloir
passer rapidement à la réalisation de ce
micro-ordinateur, vous ne devez pas perdre de vue
qu'il s'agit avant toute chose d'en réaliser en
commun l'étude, après quoi nous pourrions passer
à son montage.

C'est la raison pour laquelle nous souhaiterions
suivre avec vous un plan de travail qui nous
permettra de ne pas brûler les étapes et qui, de ce
fait, vous garantira le maximum de réussite.

Nous pouvons dire que, pour le moment, nous
construisons un corps sain (hardware) dans lequel
nous mettrons un peu plus tard un esprit sain
(software).

Mais attention, les deux sont liés.



Un circuit imprimé de 42 x 27,5 cm supporte les quelques 88 circuits intégrés de « Micro-Systèmes 1 ».

Avant même de repartir ensemble dans la découverte de cette « étude personnalisée » qu'est « Micro-Systèmes 1 », regardons un instant comment se décompose la présentation de celle-ci.

A - Dans notre numéro précédent nous avons d'une part, exposé les **raisons de cette étude** et d'autre part vous avez pris connaissance de la **fiche technique** de ce micro-ordinateur.

B - A présent, il s'agit d'aborder la description de son **organisation générale** à laquelle nous ajouterons une **analyse du matériel**.

C - Une fois l'étude théorique menée à son terme, il sera temps de passer à la **réalisation pratique** de « Micro-Systèmes 1 ».

D - Il est logique après ceci de consacrer une large part à l'**explication de son fonctionnement**. En outre, cette partie sera l'occasion pour nous d'apporter les **réponses à vos questions** qui sont déjà nombreuses.

E - Parvenus à ce stade, vous êtes en possession d'un véritable micro-ordinateur avec un Basic de 8 K ROM et une mémoire RAM de 2 x 16 K octets. Nous traiterons ensemble des **exemples d'applica-**

tions représentatifs des divers domaines d'activités dans lesquels votre système est de taille à apporter une aide précieuse.

Sur le plan technique, le premier contact, que nous avons eu ensemble avec « Micro-Systèmes 1 » reposait essentiellement sur la présentation de sa fiche technique et sur la description de son organisation générale, résumée dans le synoptique de la **figure 1***.

Nous allons à présent aborder la partie qui, sans nul doute, est la plus délicate de toute votre étude : il s'agit de l'analyse détaillée de chaque élément constituant votre micro-ordinateur.

Autant vous prévenir tout de suite, certains d'entre vous éprouveront quelques difficultés dans cette approche. Que cela ne les décourage en aucune façon. Vous avez deux mois pour travailler cette partie et, en outre, nous sommes là pour réaliser cette étude ensemble et il vous appartient de nous faire part de vos problèmes à ce sujet en nous écrivant. Il vous sera répondu dans nos prochains numéros.

Ceci dit, cette analyse est nécessaire. C'est en connaissant son

matériel jusque dans sa plus profonde intimité qu'il vous est permis de vivre en parfaite harmonie avec lui et c'est ce que vous recherchez (il en va d'un matériel comme des hommes...).

Mais, venons-en à cette deuxième partie qu'est ce **chapitre B** :

Organisation générale et analyse du matériel

Nous avons choisi de commencer la description de « Micro-Systèmes 1 » par la partie mémoire. C'est elle en effet qui distingue notre ordinateur de tout autre système à microprocesseur (c'est la mémoire qui fait l'ordinateur).

En effet, si l'on considère des appareils à microprocesseur comme les alarmes, les jeux TV, etc., ces systèmes ont certainement de grands programmes de fonctionnement, mais ils sont figés en mémoire morte ou ROM. On ne trouve nulle part ailleurs 16 K et même 32 K octets de mémoire vive (RAM) prête à recevoir le programme utilisateur. C'est cela le propre d'un ordinateur.

Microcalculateur série 1000

- Unités centrales : SC/MP (1 K PROM, 1/2 kram)
Z 80 (3 K PROM, 1 KRAM), DMA...
- Cartes mémoires 8 K et 16 K
- Interfaces cassettes
- Interface télétype
- Entrées - sorties industrielles
- Calcul scientifique
- Système « basic »

PÉRIPHÉRIQUES - SYSTÈMES DE DÉVELOPPEMENT

Distribué par :

— DEBELLE, 13, rue Baptiste-Marcet, Z.I. Fontaine Sassenage, 38600 Fontaine.
— FACEN LILLE, 6, rue Emile-Rouzé, 59000 Lille.
— FACEN NANCY, Z.I. D'Heillecourt, 54140 Heillecourt.
— FACEN ROUEN, boulevard Industriel, 76800 Saint-Etienne-du-Rouvray.
— FACEN STRASBOURG, Z.I. rue Vauban, 67450 Mundolsheim.
— FENNER GENEVE, 18, rue de Miremont, 1211 Genève 25.
— GENERIM, avenue de la Baltique, Z.A. de Courtabœuf, B.P. 88, 91403 Orsay.
— PENTASONIC, 5, rue Maurice-Bourdet, 75016 Paris.
— R.T.F., 73, avenue Charles-de-Gaulle, 92202 Neuilly-sur-Seine.
Ventes par correspondance : Notices et tarifs sur simple demande.

« Points micro »

— 185 av. de Choisy, 75013 Paris
— 5 rue Maurice Bourdet, 75016 Paris
— 9 bis rue du Bas-Chamfleury, 63000 Clermont Fd
— 6 rue de la Loi, Mulhouse
— 32 rue Oberlin, Strasbourg
— 13 rue Baptiste Marcel, 38600 Fontaine

Fig. 1. - N° 2.
Micro-Systèmes, p. 69.

Un commutateur électronique place successivement sur le bus d'adresse la partie haute, la partie basse de l'adresse et les adresses à rafraîchir.

Schéma général de fonctionnement

Le schéma général de fonctionnement est représenté sur le dépliant (fig. 2). Pour mieux l'analyser, nous allons le partager en plusieurs parties :

B.1. La mémoire RAM dynamique de 32 K octets et ses circuits de rafraîchissement, comprenant les boîtiers M₁ à M₁₆ et tous les circuits de gestion ; B₄, B₅, B₉, B₁₁, B₁₂, B₁₃, B₁₄ et B₁₅.

B.2. Le contrôleur de DMA* et l'unité centrale 6800, les deux principaux animateurs du schéma, tamponnés par B₆, B₇, B₈ pour les adresses et B₀, B₁ pour les données.

B.3. La mémoire de programme M₀ et les décodages d'adresse permettant de lui substituer l'AMORCE du DOS*, nécessaire au fonctionnement des disques souples.

B.4. L'interface minicassette comprenant l'ACIA* U₄ et tous les circuits nécessaires à l'émission/réception de signaux sinusoïdaux à partir des signaux carrés de l'ACIA.

B.5. L'interface vidéo, constitué du contrôleur CRT* U₃, de la PROM*-fusibles M₂₄, de la

mémoire d'écran 1 k x 7 bits (M₁₇ à M₂₃), du générateur de caractères M₂₅ muni des mémoires d'entrée U₃₁, U₃₂, du compteur de points/caractère U₃₄ et du registre à décalage U₃₃.

B.6. La PIA* de dialogue clavier encodé 8 bits parallèle-écran de visualisation, U₂ et l'ACIA de liaison série TTY*, RS 232*, boucle de courant 20 mA.

Non figurés sur ce schéma, mais ayant une égale importance :

- Le contrôleur de floppy disk.
- Le contrôleur de Bus GPIB*.
- PIA-S et ACIA-S en option.

Ces derniers constituants prennent place à la verticale de la plaque-mère, sur des supports de bus.

L'agent de liaison entre ces parties est un boîtier contenant des amplificateurs de ligne. Nous allons donc commencer notre étude par l'analyse du fonctionnement de ces boîtiers qui portent une notation en « B » (de « Buffer » en anglais).

Le schéma utilise trois sortes de « buffers » ou « tampons », les 8T26, 8T95 et 8T97.

L'organisation interne de ces boîtiers est celle de la figure 3. Nous constatons la présence

d'amplificateurs, inverseurs ou non, qui reçoivent sur le flanc une commande de mise à l'état haute-impédance de leur sortie. Par convention, un « 1 » logique appliqué sur cette entrée de commande rend les sorties actives et un « 0 » les met à l'état haute impédance (ou tri-state), auquel cas le circuit coupé se manifeste en sortie par un faible courant de fuite.

Ces trois boîtiers peuvent être classés en deux catégories :

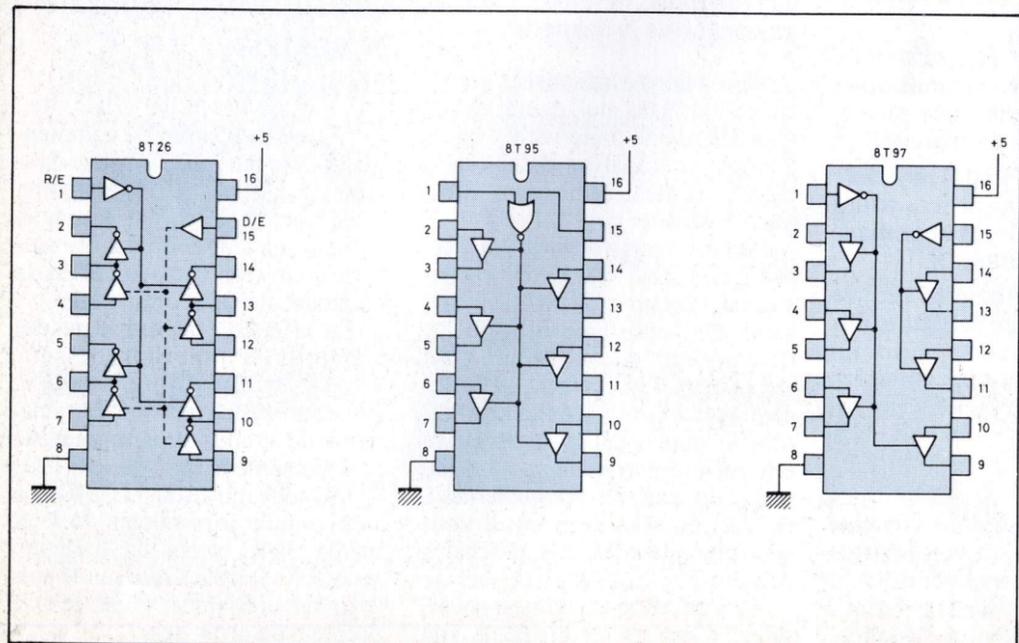
Le 8T 26 est un « aller-retour », utilisé habituellement sous forme de quatre paires d'amplificateurs tête-bêche, formant un amplificateur bidirectionnel de 4 fils.

Les 8T 95, 8T 97 sont des « aller simple », ne différant que par la commande de mise en « tristate » de leurs amplificateurs : le 8T 97 possède deux commandes, pouvant se séparer en deux groupes de deux et de quatre amplificateurs, alors que le 8T 95 répond avec les 6 amplificateurs simultanément, ses sorties se mettant à l'état haute-impédance dès qu'un « 1 » logique apparaît sur l'une ou l'autre des entrées du NOR (OU logique et inversion).

Les exemples d'applications du 8T 26 de la figure 3a montrent

Réalisation

Fig. 3. - Brochage des trois circuits « buffers » ou tampons 8T26, 8T95 et 8T97 employés dans le micro-ordinateur.



* DMA : Direct Memory Acces (accès direct à la mémoire).

* DOS : Disk Operating System (système de contrôle et de gestion pour floppy).

* ACIA : Asynchronous Communications Interface Adapter (boîtier facilitant les communications série).

* CRT : Cathode Ray Tube ou tube à rayons cathodique (écran TV).

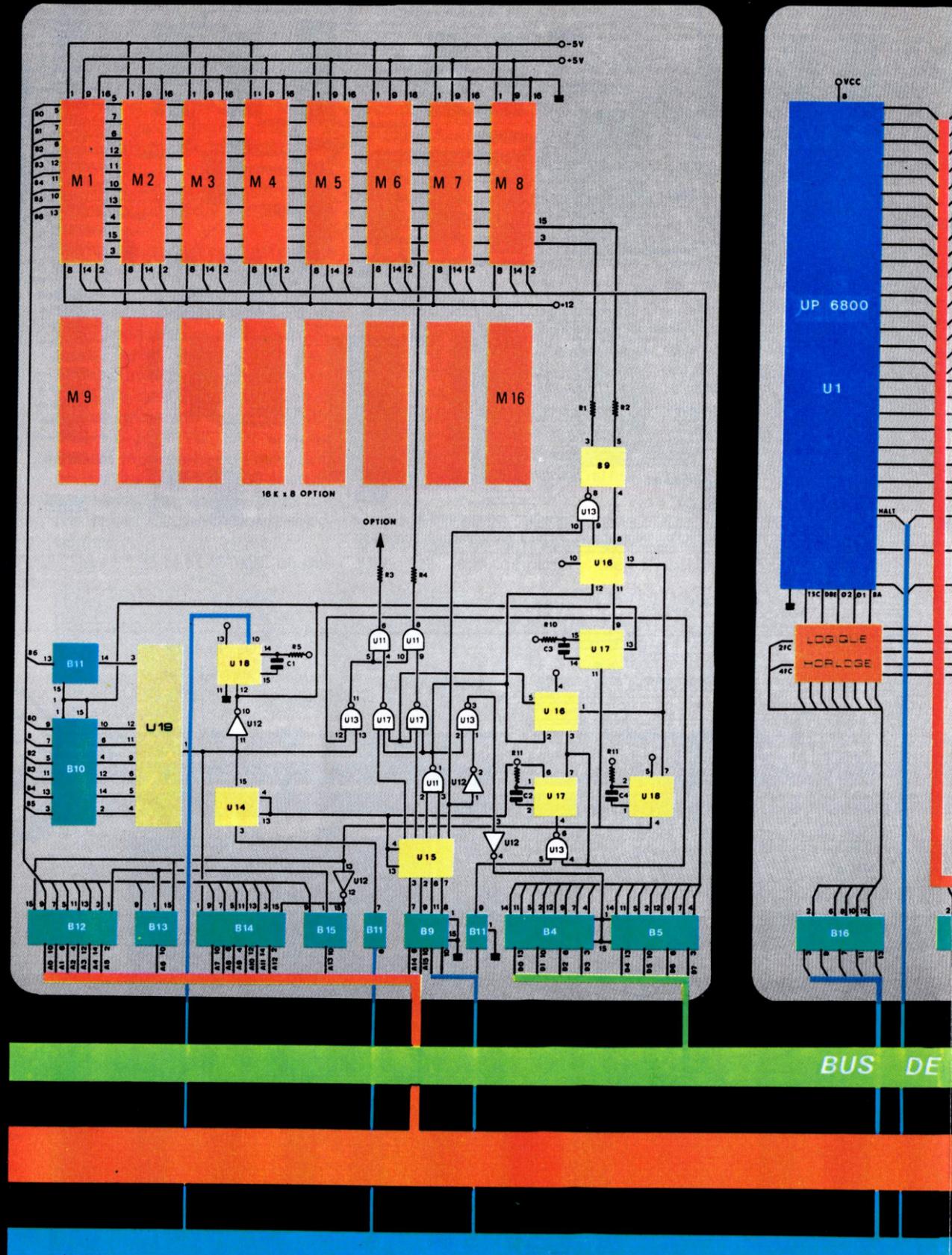
* PROM : Programmable Read Only Memory (mémoire morte programmable).

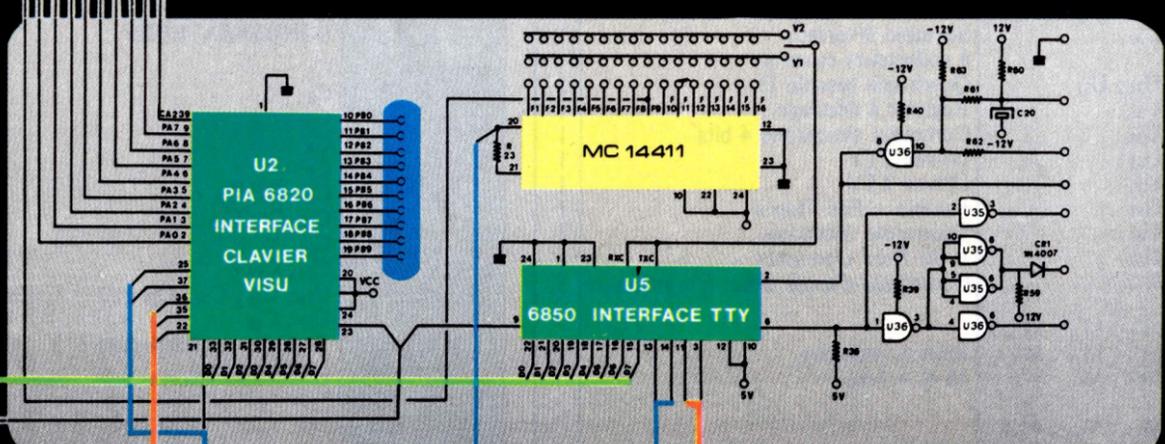
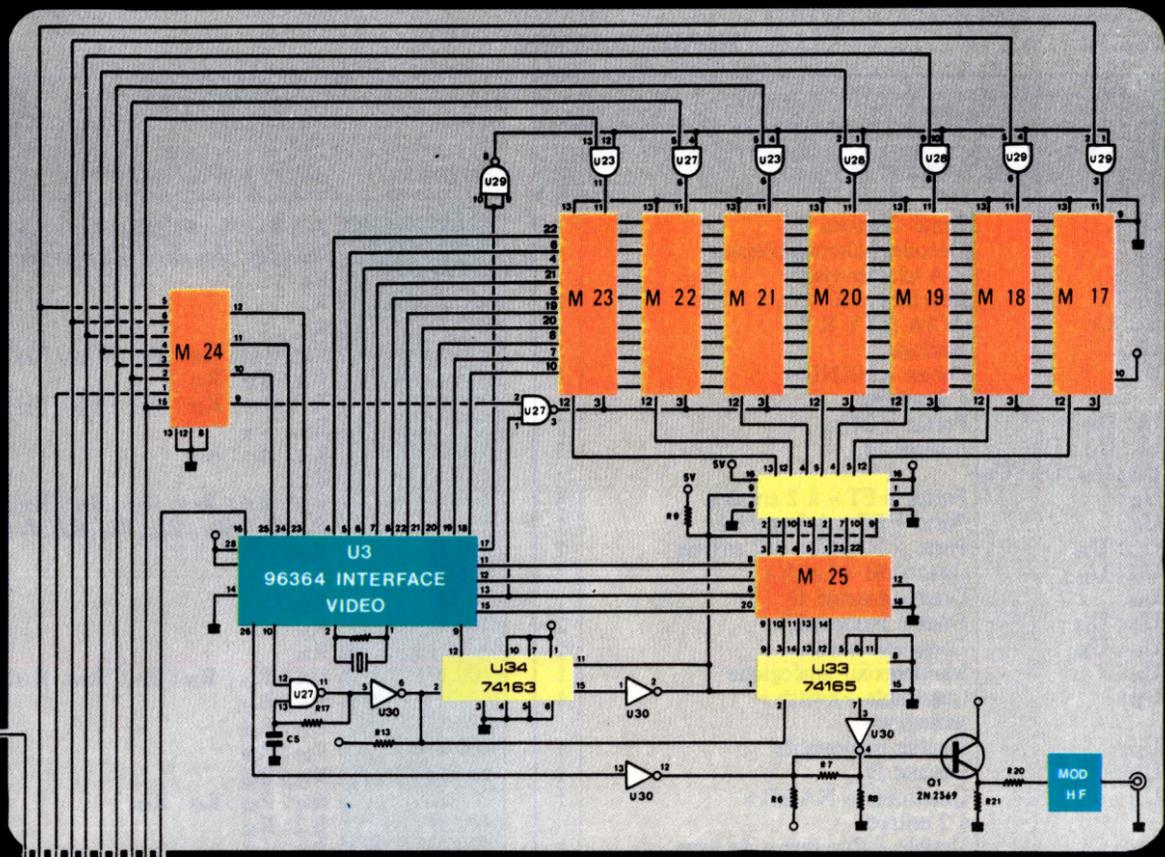
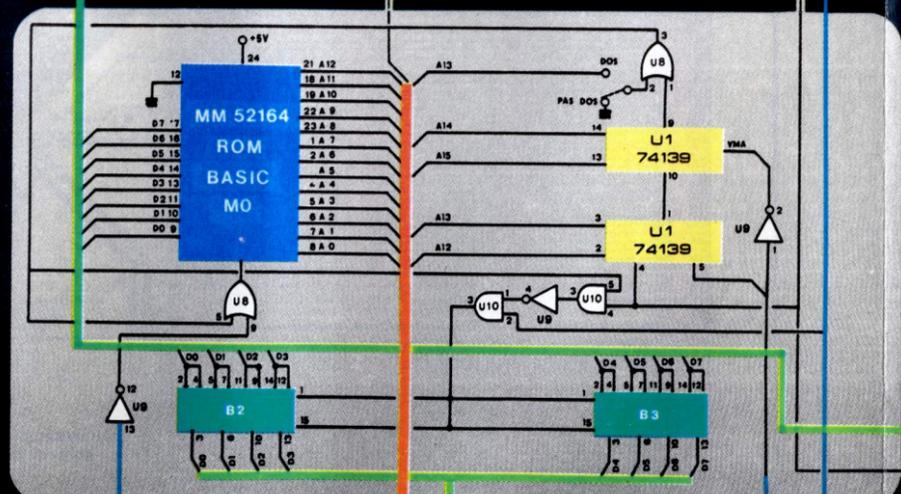
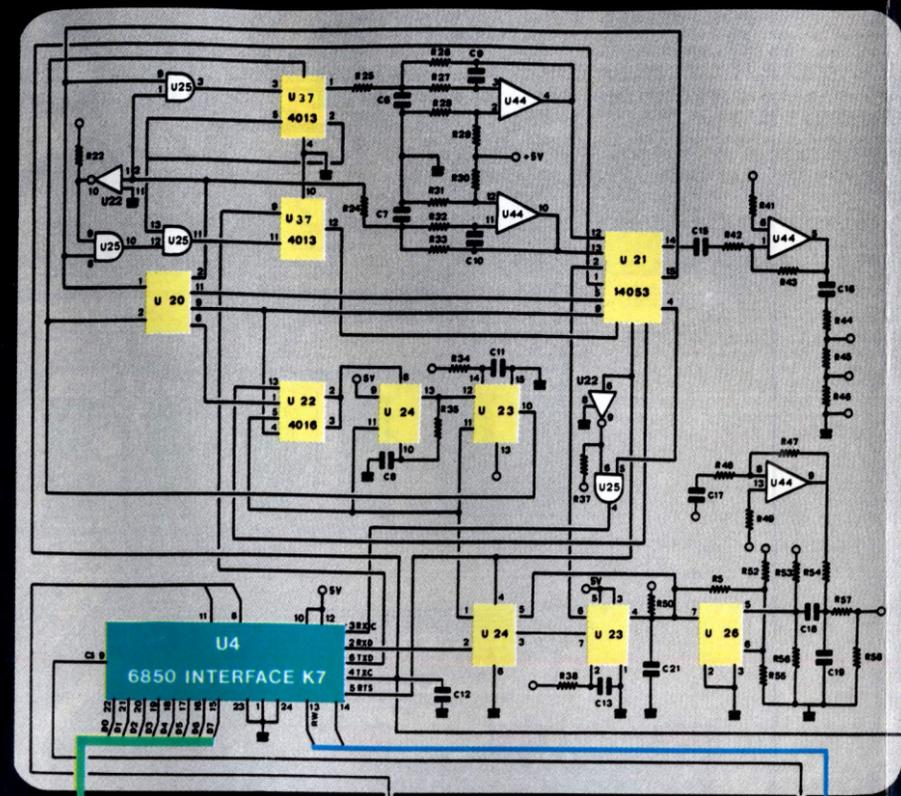
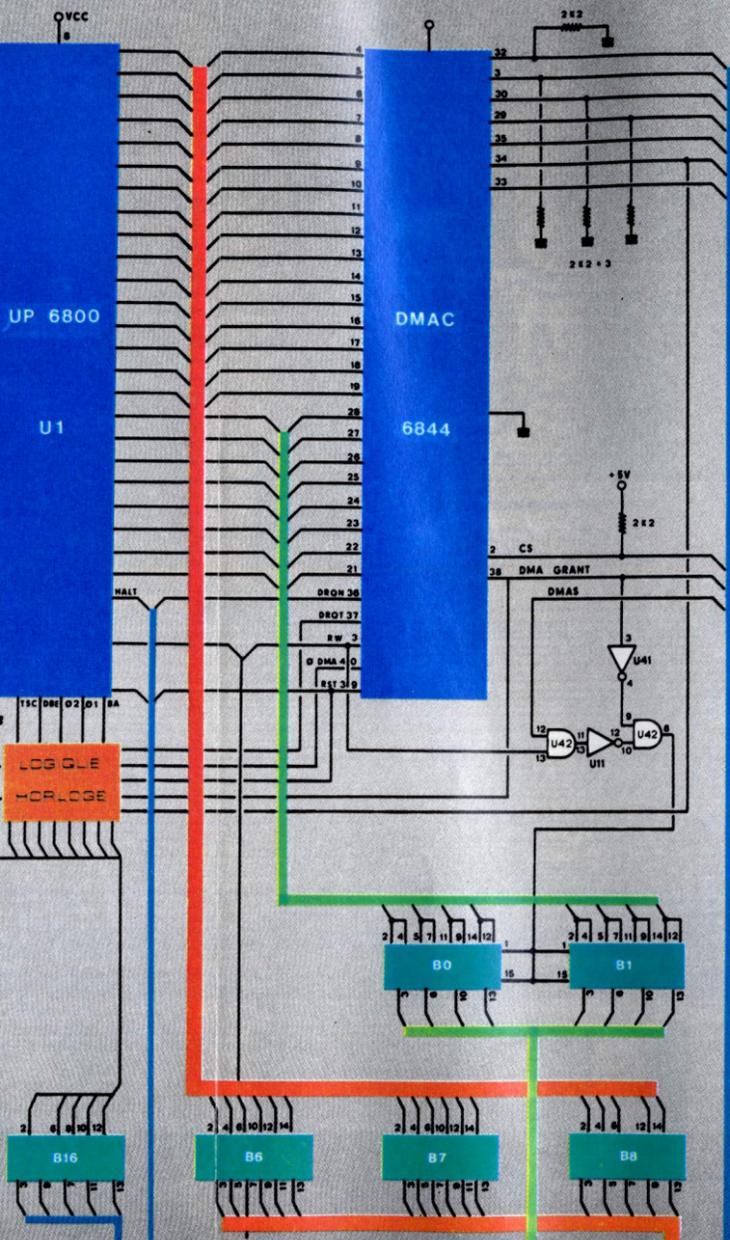
* PIA : Peripheral Interface Adapter (adaptateur d'interface pour périphérique).

* TTY : Teletype writer (équipement télétype).

* RS232 : Spécifications de transmission série (190, 300, 1200, 2400, 4800 et 9600 bauds).

* GPIB : General Peripheral Interface Bus (Bus d'instrumentation, réalise la liaison entre 16 instruments et leur permet de transmettre des données, résultats...).





BUS DE DONNEES

BUS D'ADRESSES

BUS DE CONTROLE



15, RUE DE LA PAIX - 75002 PARIS

d'une part le tamponnage d'un bus de données de 4 fils entre une unité centrale et une mémoire, le sens d'amplification étant déterminé par le signal de lecture/écriture (R/W) du microprocesseur lui-même et, d'autre part, une utilisation dans un circuit de décodage d'adresse.

Dans ce dernier cas il est parfois élégant de pouvoir disposer des fils d'adresse directs et inversés, amplifiés et sélectionnés à l'aide de roues codeuses (les contacts S_1, S_2, S_3, S_4 appartiennent à une roue codeuse hexadécimale). Placer une mémoire, dont le fil de sélection se trouve en aval du boîtier NAND-TTL, à telle ou telle adresse devient très simple, car l'indication binaire de la roue codeuse pourrait représenter en même temps un chiffre de l'adresse-mémoire sélectionnée.

Les 8T 95 et 8T 97 sont utilisés

principalement au partage des bus entre plusieurs utilisateurs possibles.

Dans l'exemple de la **figure 3b**, un sélecteur de commande à trois positions (électronique, mais représenté comme un commutateur mécanique) peut placer sur le bus commun, consécutivement, les informations présentes sur les bus 1, 2 et 3.

Dans notre micro-ordinateur nous utilisons cette technique pour l'adressage et le rafraîchissement de nos mémoires dynamiques, les bus 1, 2 et 3 étant respectivement à la partie haute (A_7-A_{13}) et basse (A_0-A_6) du bus d'adresses et à un compteur binaire à 7 étages (U_{19}) générant les adresses à rafraîchir.

Les problèmes liés à l'emploi des tampons de ligne sont multiples. On leur demande, bien

entendu, d'amplifier au maximum les signaux et d'être si possible compatibles MOS ou LS (Low Schottky) en entrée. Or, il y a un impératif très important, qui est celui de la vitesse de fonctionnement.

Utiliser des boîtiers C-MOS, du type 4050 ou 4049, par exemple, ne convient que dans les applications où l'horloge ne dépasse guère 500 à 600 kHz, malgré un fonctionnement possible à 5 MHz. La raison est liée aux retards dus à la traversée du boîtier, qui avoisinent, dans le meilleur des cas 150 ns en C-MOS, ce qui est prohibitif pour nos mémoires dynamiques, capables d'échantillonner la partie haute des adresses en 30 à 50 ns.

Une règle simple est d'utiliser des boîtiers pouvant fonctionner à 10 fois la fréquence d'horloge du système.

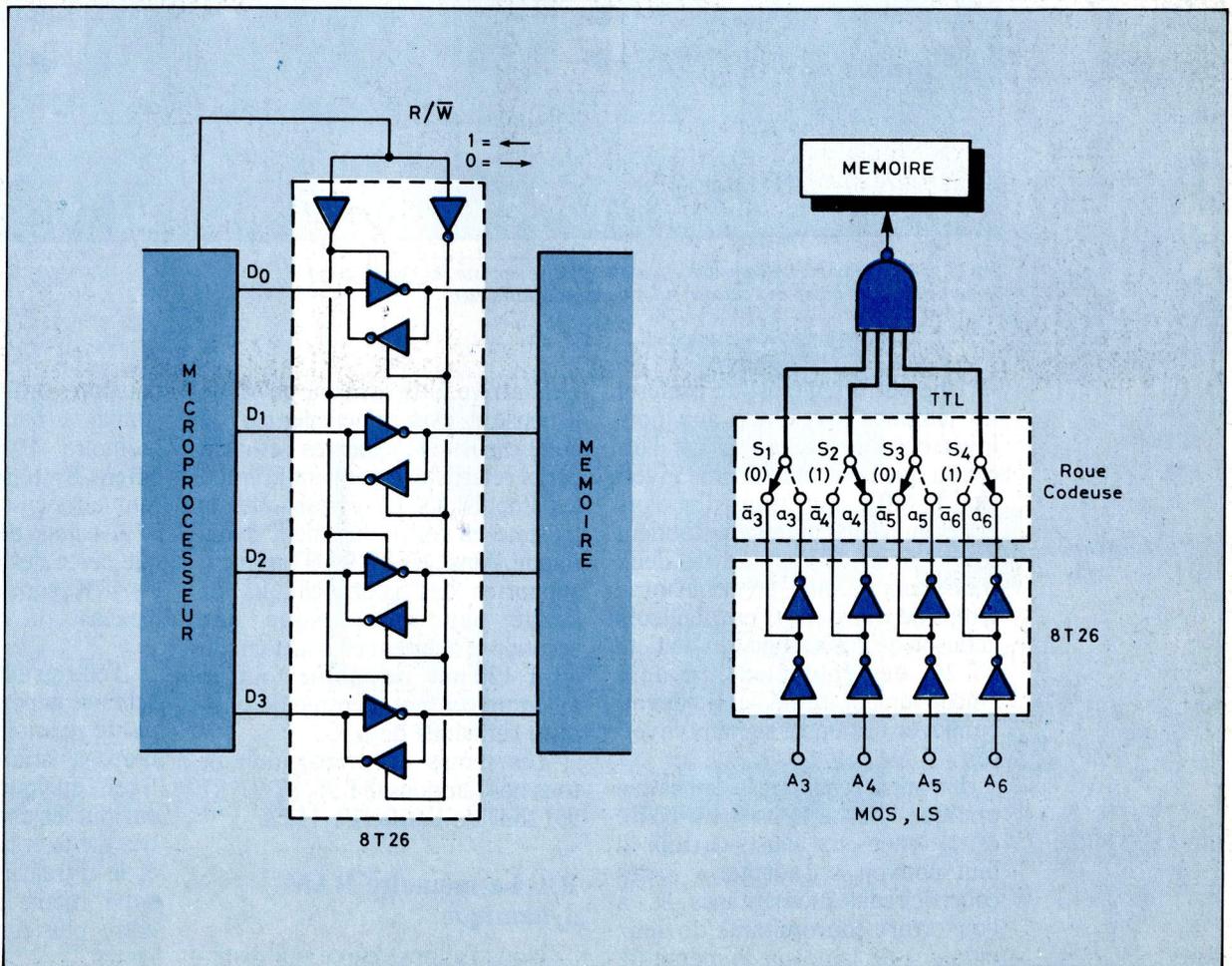


Fig. 3 a. - Exemple de tamponnage d'un bus de données de quatre fils entre une unité centrale et une mémoire. La sélection d'un bloc mémoire sur une adresse déterminée peut être réalisée de façon élégante par des roues codeuses placées à la sortie du tampon 8T26.

NOMENCLATURE « MICRO-SYSTEMES 1 »

NOMENCLATURE

CIRCUITS LOGIQUES DE GESTION			
Ref. constructeur	Ref. Micro-Systèmes	Désignation	Qté
MC 6800	U ₀	Unité Centrale	1
74 LS 139	U ₁	Décodeur-Démultiplexeur	1
MC 6820	U ₂	PIA (clavier-visu)	1
96364	U ₃	Interface vidéo	1
6850	U ₄ ; U ₅	ACIA (TTY K7)	2
96875	U ₆	Horloge	1
74 LS 10	U ₇	Portes « NAND » à 3 entrées	1
74 LS 32	U ₈ ; U ₄₀	Portes « OU »	2
74 LS 04	U ₉ ; U ₁₂ ; U ₄₁	Inverseurs	3
74 LS 08	U ₁₀ ; U ₂₈ ; U ₂₉ ; U ₃₉		
	U ₄₂ ;	Portes « ET » à 2 entrées	5
74 LS 11	U ₁₁	Porte « ET » à 3 entrées	1
74 LS 00	U ₁₃ ; U ₃₈	Porte « NAND » à 2 entrées	2
74 LS 75	U ₁₄ ; U ₁₅	Quadruple « Latch »	2
74 LS 74	U ₁₆	Double bascule D	2
8602	U ₁₇ ; U ₁₈	Double monostable	1
4024	U ₁₉ ; U ₂₀	Compteur binaire	2
4053	U ₂₁	Multiplexeur analogique	1
4016	U ₂₂	Quadruple « switch » analogique	1
14538	U ₂₃	Double monostable	1
4013	U ₂₄	Bascule D	1
4081	U ₂₅	Quadruple « NAND » à 2 entrées	1
75140	U ₂₆	Double « Receiver » de ligne	1
74 S 132	U ₂₇	Quadruple « NAND » à 2 entrées analogiques	1
74 LS 05	U ₃₀	Sextuple inverseur à collecteurs ouverts	1
74 LS 175	U ₃₁ ; U ₃₂	Quadruple bascule D	2
74165	U ₃₃	Registre à décalage	1
74 LS 163	U ₃₄	Compteur synchrone 4 bits	1
1488	U ₃₅	Driver TTY	1
1489L	U ₃₆	Driver TTY	1
MC14013	U ₃₇	Double « Flip-Flop »	1
MC3301	U ₄₄	Quadruple Ampli-op.	1
14411	U ₄₃	« Bit Rate Generator »	1
MC6844	S ₁	Contrôleur d'accès direct à la mémoire	1
SV6726	M' ₁ ; M' ₂ ; M' ₃ ; M' ₄ ; M' ₅ ; M' ₆ ; M' ₇ ; M' ₈	Boîtiers mémoire 16 K x 1 bit	8
2102-3	M ₁₇ ; M ₁₈ ; M ₁₉ ; M ₂₀ ; M ₂₁ ; M ₂₂ ; M ₂₃ ; M ₂₄	RAM (mémoire d'écran)	7
{743287 {DC III (Proteus) {GC III (Proteus) (2708)	M ₂₄ M ₂₅	Mémoire caractères Générateur de caractères	1 1
8T26	B ₀ ; B ₁ ; B ₂ ; B ₃ B ₄ ; B ₅	« Buffers »	6
8T97	B ₆ ; B ₇ ; B ₈ ; B ₉ B ₁₀ ; B ₁₁ ; B ₁₆		7
8T95	B ₁₂ ; B ₁₃ ; B ₁₄ ; B ₁₅		4

RÉSISTANCES		
Valeurs	Ref. Micro-Systèmes	Qté
22 Ω	R ₁ ; R ₂ ; R ₃ ; R ₄ ; R ₁₈ ; R ₆₇ ; R ₆₈ ; R ₈₀ ; R ₈₁ ; R ₈₂ ; R ₈₃ ; R ₈₄ ; R ₈₅ ; R ₈₆	14
8,2 kΩ	R ₅	1
330 Ω	R ₆	1
220 Ω	R ₇	1
2,2 kΩ	R ₈ ; R ₂₅ ; R ₅₉ ; R ₆₁ ; R ₆₃ ; R ₆₉ ; R ₇₁ ; R ₇₂ ; R ₇₃	9
1 kΩ	R ₉ ; R ₁₃ ; R ₁₅ ; R ₄₅ ; R ₅₀ ; R ₅₇ ; R ₆₆ ; R ₇₀	8
5,6 kΩ	R ₁₀ ; R ₁₁ ; R ₆₄	3
6,2 kΩ	R ₁₂	1
10 kΩ	R ₁₆ ; R ₂₂ ; R ₃₄ ; R ₃₅ ; R ₃₆ ; R ₃₇ ; R ₄₄ ; R ₅₂ ; R ₅₃ ; R ₅₅ ; R ₅₆ ; R ₆₀ ; R ₆₅	13
470 Ω	R ₁₇	1
2 MΩ	R ₁₉	1
68 Ω	R ₂₀	1
150 Ω	R ₂₁	1
1 MΩ	R ₂₃	1
100 kΩ	R ₂₄ ; R ₂₆ ; R ₂₈ ; R ₃₁ ; R ₃₃ ; R ₃₈ ; R ₄₁ ; R ₄₉	8
27 kΩ	R ₂₇ ; R ₃₂	2
180 kΩ	R ₂₉ ; R ₃₀	2
68 kΩ	R ₃₉ ; R ₄₀	2
22 kΩ	R ₄₂ ; R ₄₃ ; R ₄₈ ; R ₅₁	4
100 Ω	R ₄₆ ; R ₅₈	2
270 kΩ	R ₄₇	1
560 Ω	R ₆₂	1
CONDENSATEURS		
10 nF	C ₁	1
150 pF	C ₂	1
33 pF	C ₃	1
22 pF	C ₄	1
82 pF	C ₅	1
2,2 nF	C ₆ ; C ₉ ; C ₁₁	3
1 nF	C ₇ ; C ₈ ; C ₁₀ ; C ₁₂	4
2,3 nF - 5 %	C ₁₃	1
47 nF	C ₁₄ ; C ₁₉	2
100 nF	C ₁₅ ; C ₁₆ ; C ₂₄ ; C ₂₅	4
220 nF	C ₁₇ ; C ₁₈	2
1 μF - 15 V	Tous les condensateurs de découplage	48
Tantale	C ₂₂	1
10 μF	C ₂₃	1
1 μF - 63 V		
TRANSISTORS		
2N 2369	Q ₁	1
DIODES		
1N 4007	CR ₁	1
1N 4148	CR ₂	1
QUARTZ		
1,008 MHz	Y ₁	1
3,579 MHz	Y ₂	1
REGULATEURS - 5 V		
MC 7905	RG	1

Le caractère dynamique des mémoires RAM rend nécessaire leur rafraîchissement à des intervalles de temps réguliers.

Réalisation

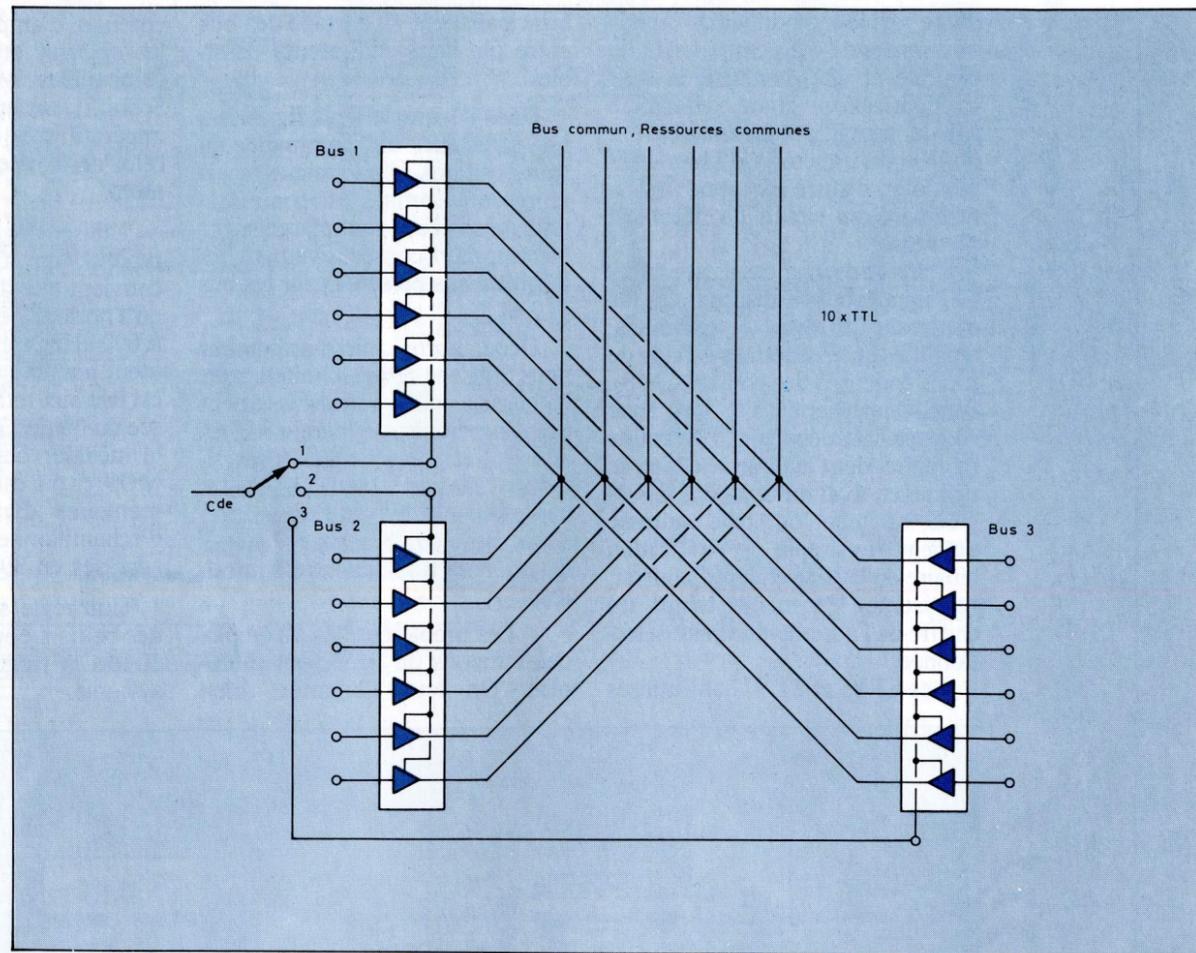


Fig. 3 b. - Le sélecteur de commande place successivement sur les bus 1, 2 et 3 la partie haute et basse de l'adresse et les adresses à rafraîchir.

Une autre règle est de préférer les tampons inverseurs aux non-inverseurs, pour aller vite, car il est connu que pour obtenir une inversion il suffit d'un transistor alors qu'un gain sans inversion s'obtient par la mise en cascade de deux transistors ou plus, en doublant le temps de transfert. C'est d'ailleurs la raison de l'utilisation des boîtiers 8T 26 ou équivalent, malgré l'inconvénient immédiat, de devoir employer des bus à signaux inversés.

Un autre problème, d'utilisation pratique lors de la mise au point, est la tenue aux courts-circuits. Il faut pouvoir s'« adapter » à des courts-circuits momentanés, liés à l'ouverture concomitante de deux tampons de ligne sur le même fil.

Cela arrive plus souvent qu'on ne le pense et, c'est principalement dû aux capacités parasites et aux petits retards que peuvent prendre les impulsions de commande de tri-state en fonctionnement dynamique. Ainsi, les 8T 95, 97 peuvent supporter des courts-circuits de sortie pendant presque une seconde et débitent en court-circuit 40 à 120 mA par sortie tout en ayant un courant d'entrée de quelques centaines de μ A.

Les temps de propagation de tous nos tampons (8T 26, 8T 97, 8T 95) sont de l'ordre de 15 ns.

B.1 La mémoire RAM dynamique

Nous l'avons dit, ce qui distin-

gue notre ordinateur d'un système simple à microprocesseur est la mémoire. Parmi les circuits de **Micro-Systèmes 1** ceux qui assurent le fonctionnement correct des 32 K-octets de mémoire dynamique, avec des prolongements vers les 48 K, sont de loin les plus complexes.

Telle qu'elle est présentée sur le schéma général de la **figure 2**, la partie mémoire présente de nombreuses variables. Il a bien fallu en fixer quelques-unes, concernant surtout les cheminements des parties haute et basse du bus adresses et le rafraîchissement. Le reste a suivi, même en tranchant parfois entre plusieurs variantes équivalentes.

Réalisez votre micro-ordinateur « Micro-Systèmes 1 »

Réalisation

Les boîtiers-mémoire utilisés sont du type SV 6726, mémoires dynamiques de 16 k x 1 bit. Le caractère dynamique de cette mémoire rend nécessaire son rafraîchissement à des intervalles de temps réguliers pour le maintien de l'information stockée (**voir encadré**).

Ce type de mémoire a été choisi pour les raisons suivantes :

- grande densité de bits mémorisés par boîtier et prix de revient du bit très bas ;
- boîtier 16 broches, DIL, facilitant même l'assemblage avec des machines d'insertion automatique,
- compatibilité TTL des entrées et vitesse de fonctionnement compatible avec le reste du système,
- simplicité du rafraîchissement qui ne demande que 128 sélections de ligne toutes les 2 ms.

La **figure 4** présente l'organisation interne d'un boîtier-mémoire de 16 k x 1 bit. On remarque deux entrées de sélection du boîtier, RAS (« Row Address Select »), Sélection d'une adresse-ligne et CAS (« Column Address Select ») sélection d'adresse-colonne, qui actionnent chacune une horloge interne contrôlant la manipulation des bits de données et les cheminements d'adresse dans le boîtier.

La mémoire proprement dite se présente en deux blocs de 8 K bits de capacité, chaque bloc étant constitué de cellules-mémoire actives et fictives (leurs paires pour des problèmes d'élimination des bruits parasites lors des manipulations à grande vitesse). Sans entrer dans les détails de ces constituants, la matrice mémoire globale, de 16 K bits peut être regardée comme un tableau de 128 lignes sélectionnées par A₇-A₁₃ et

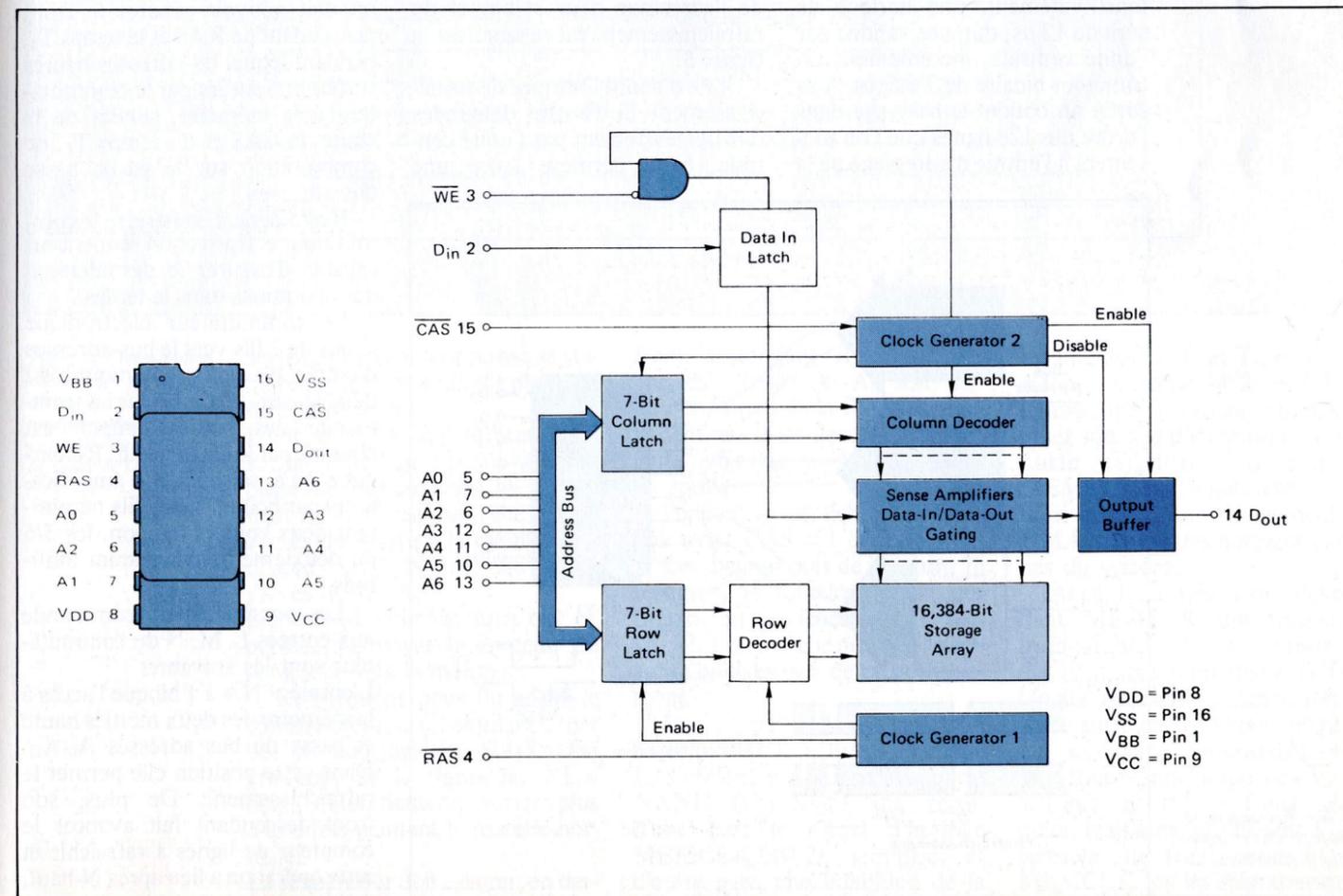
128 colonnes, provenant de A₀-A₆, partagées en deux groupes de 64 par le fil d'adresse A₀.

Les adresses sont multiplexées comme dans la plupart des RAM-S de cette capacité : 16 K bits s'adressent par 14 fils. Si l'on tient compte des alimentations et d'un fil d'entrée/sortie du bit de donnée, l'on dépasse les 16 broches des boîtiers DIL bon marché. En réalité nous devons pouvoir disposer de deux broches, d'entrée et sortie du bit de donnée, séparées, ainsi que des broches de sélection du boîtier.

Le multiplexage est régi par RAS et CAS de la façon suivante :

Le front descendant de RAS permet la réception et l'acheminement vers un registre tampon de la partie haute du bus-adresses A₇-A₁₃, qui adresse les 128 rangées horizontales ou lignes de la matrice-mémoire.

Fig. 4. - Organisation interne et brochage d'un boîtier mémoire de 16 k x 1 bit. Vous pouvez utiliser des SV6726



La descente de CAS valide la sortie des données en même temps qu'il achemine la partie basse des adresses, A₀-A₆ vers les décodeurs-colonne.

Plus simplement, sur le front descendant de RAS, les sept fils d'adressage de boîtier seront échantillonnés et considérés comme étant la partie haute de l'adresse ; sur le front descendant de CAS, on est en présence de la partie basse.

Le **Rafraîchissement** de la mémoire s'obtient par l'envoi d'une impulsion RAS à toutes les adresses de ligne, une à une, toutes les 2 ms au maximum. Nous sommes très loin de cette limite puisque notre rafraîchissement s'effectue toutes les 12 à 13 μs. 128 impulsions et le balayage dans l'ordre de toutes les adresses de ligne garantissent le maintien de l'information. Pour obtenir ce fonctionnement, une horloge de période 12 μs, dûment validée par l'unité centrale, incrémentera un compteur binaire de 7 étages. A sa sortie on obtient le balayage dans l'ordre des 128 lignes que l'on présentera à l'entrée d'adressage de la

mémoire accompagné de $\overline{RAS} = 0$ (vrai) et $\overline{CAS} = 1$ (pas de sélection-colonne pour le rafraîchissement).

Le temps de l'impulsion de rafraîchissement est sensiblement égal à \overline{RAS} et doit être supérieur à 135 ns. Autrement dit, après avoir présenté pendant environ 500 ns, par exemple, une configuration-adresse allant de 0 à 127 et $\overline{RAS} = 0$; $\overline{CAS} = 1$, la mémoire est disponible à l'utilisation normale jusqu'à l'arrivée de la prochaine impulsion de rafraîchissement (15 μs si on n'a pas de raison de se presser à rafraîchir). On remarque donc un rapport d'indisponibilité, 500 ns/15 μs très faible, 1/30 du temps pouvant être consacré au rafraîchissement dans les cas extrêmes.

N'oublions pas que \overline{RAS} sert en même temps à l'adressage normal de la partie haute des adresses.

L'enchaînement dans le temps de l'adressage haut et bas et du rafraîchissement est résumé sur la **figure 5**.

Il y a d'abord l'horloge de rafraîchissement. Si d'autres demandes (DMA) n'affectent pas l'unité centrale, cette dernière lance une

impulsion de rafraîchissement T_A toutes les 13 μs et fait avancer un compteur binaire d'un pas, de sorte qu'au bout de 128 impulsions la combinaison binaire de sortie du compteur repassera par sa valeur initiale. Peu importe quelle est cette valeur, il suffit de parcourir toutes les adresses dans l'ordre à partir de n'importe laquelle (l'entrée R.A.Z. du compteur CD 4024 (U₁₉) est d'ailleurs en permanence à la masse, donc inactivée).

Remarquons deux actions concurrentes : la génération de l'impulsion T_A (\overline{RAS} , \overline{CAS}) et le positionnement du commutateur électronique sur le compteur CPTR qui doit être à ce moment précis stabilisé, le comptage de l'impulsion devant commencer à la fin de T_A, par exemple.

De la même manière, en dehors du temps de rafraîchissement T_A on doit pouvoir générer le front descendant de RAS et le temps T_B, pendant lequel les adresses hautes seront présentées par le commutateur à la mémoire. Si d'autres demandes (DMA) n'affectent pas l'unité centrale, cette dernière lance une

Reste donc à construire le commutateur et trouver un séquenceur capable d'assurer le déroulement des opérations dans le temps.

Le commutateur électronique (3 bus de 7 fils vers le bus-adresses d'entrée du boîtier mémoire) est détaillé sur la **figure 6**. La commande des boîtiers-tampon est obtenue par le séquenceur. Remarquez qu'à raison de 6 amplificateurs par boîtier, nos 7 fils nécessitent deux boîtiers-tampon, les 5/6 du deuxième boîtier restant inutilisés.

Les possibilités de commande aux entrées L, M, N du commutateur sont les suivantes :

L'entrée « N » à 1 bloque l'accès à la mémoire des deux moitiés haute et basse du bus adresses A₀-A₁₃. Dans cette position elle permet le rafraîchissement. De plus, son front descendant fait avancer le compteur de lignes à rafraîchir et cette opération a lieu après N-haut, donc après le rafraîchissement, de

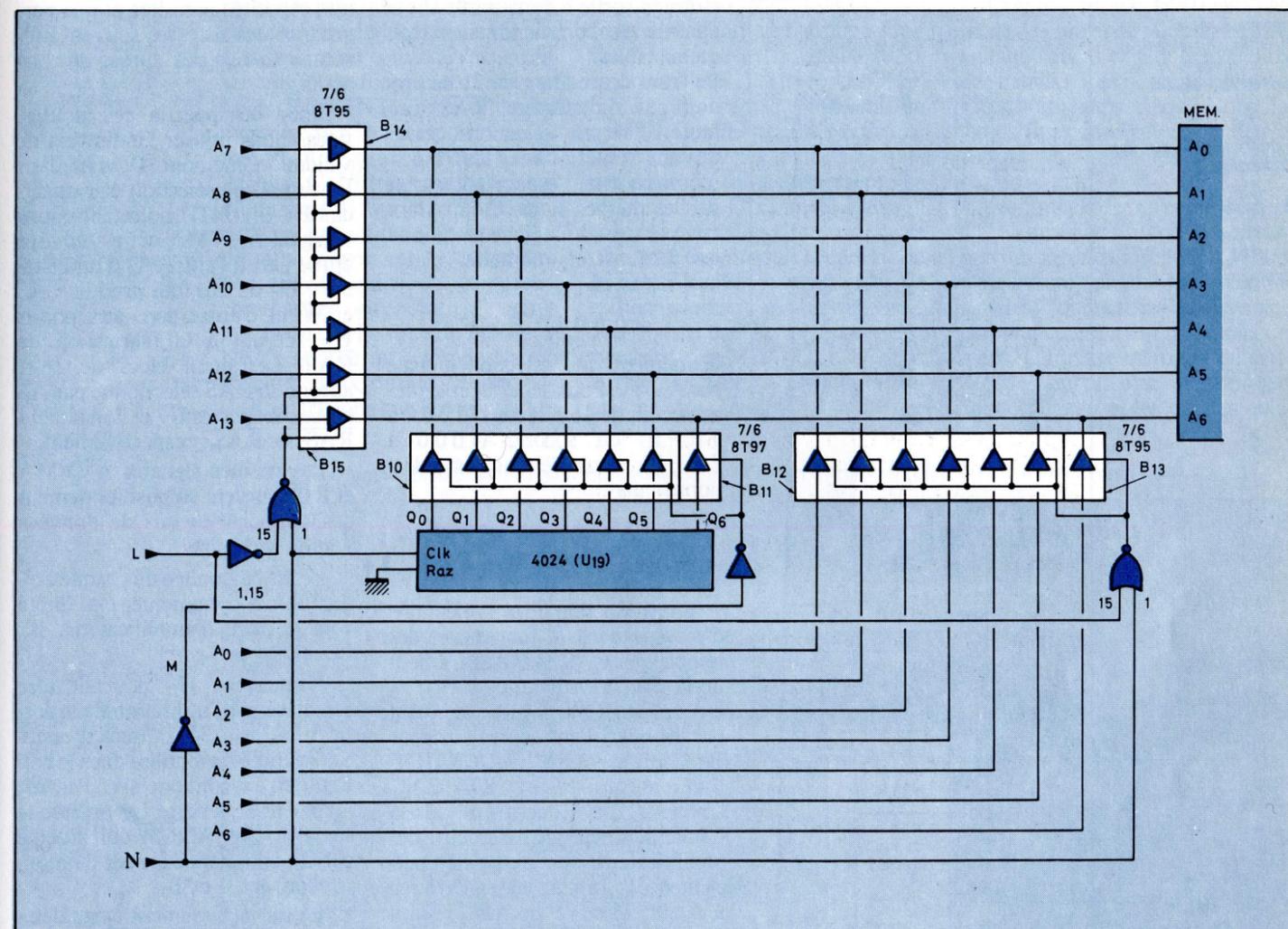


Fig. 6. - Commutation électronique permettant au boîtier mémoire de recevoir successivement la partie haute et basse de l'adresse et l'adresse à rafraîchir.

sorte que le compteur puisse se stabiliser avant une nouvelle phase de rafraîchissement.

L'entrée « L » agit différemment sur la partie haute et sur la partie basse du bus-adresses. A niveau haut et si N est bas, elle valide l'accès de A₇-A₁₃ à la mémoire. A niveau bas et N bas, elle valide l'accès de A₀-A₆. L'entrée M, qui n'est autre que \overline{N} , permet d'envoyer le contenu du compteur vers la mémoire.

Remarquons pour finir, que le commutateur est commandé par des niveaux logiques. Sur les diagrammes de la **figure 7a**, « L » peut, naturellement, varier plus d'une fois pendant la marche normale.

Le séquenceur doit assurer, en dernière instance, l'apparition d'un

front descendant RAS pendant que les niveaux A₇-A₁₃ sont stables en entrée de la RAM et, également, un front descendant CAS après avoir fixé A₀-A₆ cette fois-ci, en entrée.

Pendant le rafraîchissement on doit avoir $\overline{CAS} = 1$ et $\overline{RAS} = 0$.

Les diagrammes de la **figure 7b** résument le fonctionnement des circuits du séquenceur (U₁₃, U₁₆, U₁₇, U₁₈), en marche normale, c'est-à-dire en l'absence de rafraîchissement.

La commutation partie basse/partie haute du bus adresses, L, s'obtient à partir d'une porte NAND (U₁₃-3-4-6), qui reçoit d'une part le signal d'horloge MEMCLK (Ø 2), amplifié, et d'autre part, une inhibition de la part d'un monostable fournissant

les impulsions T₁ et $\overline{T_1}$, d'environ 400 ns. Comme $\varnothing 2 \approx 600$ ns, l'impulsion T₁ n'a pas le temps de jouer son rôle d'inhibition, mais la porte est utile car Ø 2 ou MEMCLK sont sujets à des variations dues au fonctionnement en DMA ou avec des horloges externes du système.

Ainsi, le premier front descendant MEMCLK qui trouve le monostable U₁₇ au repos, à $\overline{Q} = \text{haut}$, active l'impulsion T₁, $\overline{T_1}$ et bloque pendant la temporisation toute autre entrée vers le point L. Un deuxième monostable, (1/2 U₁₈), fournissant l'impulsion T₃, est sensible au même front, alors qu'un troisième, produisant T₂ est sensible au front montant de MEMCLK. Sur les diagrammes de la **figure 7b** on a dessiné L, c'est-

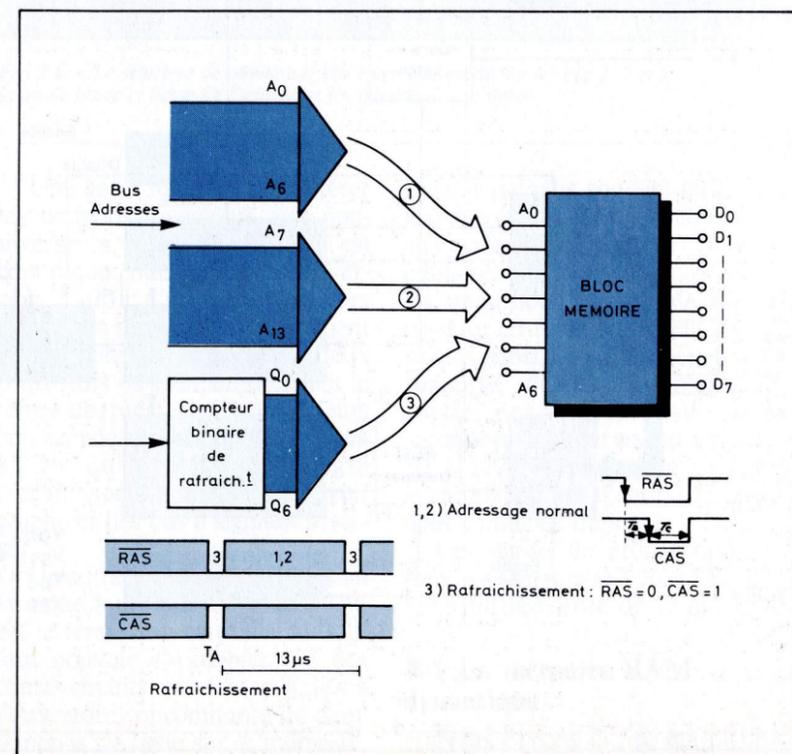


Fig. 5. - Enchaînement dans le temps des informations présentées sur les entrées A₀-A₆ du bloc mémoire.

Fig. 7 a. - Etat des signaux L, M et N lors du rafraîchissement et du fonctionnement normal de la mémoire.

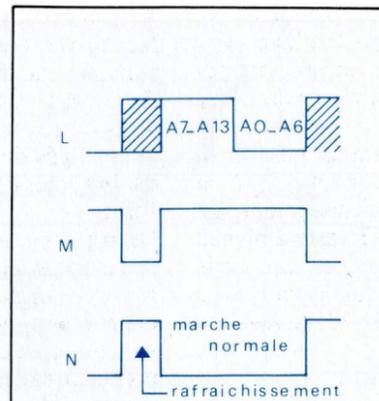


Fig. 7 a

Fig. 7 b. - Timing des signaux de sélection de l'adressage.

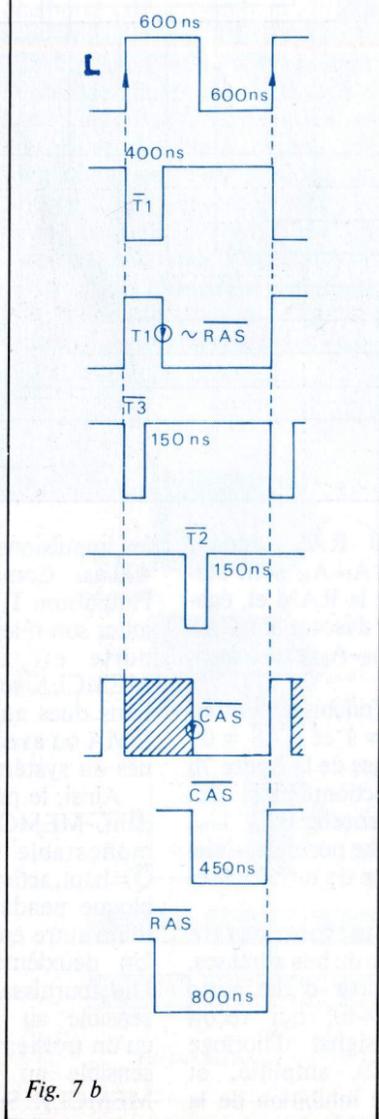


Fig. 7 b

à-dire la sortie 6 de la porte U₁₃ et l'entrée de commande des trois monostables.

Le front descendant de T₁ ne produit pas directement RAS, car, faute d'autres sélections, nous devons positionner les blocs-mémoire dans l'espace adressable par les mêmes RAS, CAS. Alors, compte tenu de la fiche technique, les 32 K octets-mémoire, placés aux adresses

0 0 0 0 à 7 F F F

demandent une sélection globale par A₁₅ = 0. Pour départager le premier bloc de 16 K octets (0 0 0 0 à 3 F F F) du second (4 0 0 0 à 7 F F F), nous devons les sélectionner par :

A₁₄ = 0 0 0 0 0 à 3 F F F
A₁₄ = 1 4 0 0 0 à 7 F F F

L'introduction de ces sélections d'adresse dans la fabrication des impulsions CAS et RAS s'obtient de la manière suivante :

• A₁₄, A₁₅, R/W, VMA* arrivent par les bus à l'entrée des tampons B₉. Comme pour MEMCLK (Horloge mémoire) et REFGNT (Accusé de Réception de la demande de rafraîchissement), ces amplificateurs sont activés en permanence (1,15 à la masse). Un latch à 4 bits, 7475 validé par le front descendant de T₁ fournit A₁₄, A₁₅, VMA et R/W pendant la période d'horloge, jusqu'à l'arrivée d'un autre front descendant T₁.

La commande de lecture/écriture R/W sera envoyée pendant CAS à l'entrée W des mémoires.

Le signal VMA joue un rôle important et sert au même titre que A₁₄, A₁₅ à l'adressage : les bus du microprocesseur ne sont pas actifs durant toute la période d'horloge. A l'état haute impédance les tensions de niveaux logiques sur le bus « flottent » au gré des capacités parasites et peuvent parfaitement actionner dans un sens ou dans l'autre des dispositifs dont l'entrée MOS garantit une extraordinaire sensibilité. Nombre de montages fonctionnent dans des configurations plus ou moins idéales grâce justement

aux capacités parasites et à la persistance des adresses souvent présentes au-delà des durées des bus actifs.

Pour échapper à ces doutes, nous allons utiliser l'indication de validation mémoire (VMA) dans les circuits de sélection. Par un circuit ET U₁₁ (7411), nous fabriquons le signal A₁₅.VMA qui est envoyé d'une part à l'entrée D d'un bistable 7474 de U₁₆ (qui produit CAS et W) et d'autre part, aux portes U₃₇ servant à la fabrication de RAS. Les deux blocs de 16 K auront un RAS sélectionné par A₁₄ et A₁₅ aux portes U₃₇ et l'on obtient RAS₂ et RAS₁, respectivement.

Les mêmes signaux A₁₅.VMA et R/W servent au positionnement des tampons du bus de données vers la mémoire.

Le bit de donnée de chaque boîtier RAM-dynamique est dirigé vers la paire d'amplificateurs B₄, B₅.

L'inverseur U₁₂ pourrait être remplacé par l'utilisation de la sortie 10 de U₁₅ (7475), mais il resterait néanmoins inutilisé dans le boîtier qui en contient six. Par cet inverseur et la porte U₁₃ on crée le signal A₁₅.VMA. R/W qui, inversé par U₁₂ commande le sens d'amplification de B₄ et B₅.

Le rafraîchissement exige deux signaux : REFREQ est la demande de rafraîchissement, active à l'état bas, qui émane du monostable U₁₈ fournissant T₄. Cette temporisation, relativement longue aboutit, à niveau bas au signal de demande. Ce signal arrive à l'entrée DMA ou REFREQ de l'horloge microprocesseur, qui bloque les phases d'horloge du microprocesseur, Ø₁ à l'état haut et Ø₂ à l'état bas pour permettre le rafraîchissement. Lors de ce blocage se produit une différence entre Ø₂ et MEMCLK, cette dernière continuant son cycle initial. Au blocage d'horloge s'ajoute la montée à niveau haut d'une sortie DMA ou REF GNT, l'accusé de réception de la demande de rafraîchissement. Ces opérations ont pour mission d'éviter, par le blocage de l'horloge, le déroule-

ment des programmes qui pourrait aboutir à une écriture ou lecture de la mémoire en cours de rafraîchissement. A la réception du niveau haut REFGNT, préalablement amplifié par le tampon B₁₁ au même titre que MEMCLK, un latch U₁₄ (7475) transmettra au bout d'un temps T₁, sur le front descendant, ce niveau haut au compteur de rafraîchissement, U₁₉, positionnant les tampons du compteur, commandés au point M, après inversion et à l'entrée du monostable U₁₈ qui fournit la temporisation T₄ entre deux rafraîchissements.

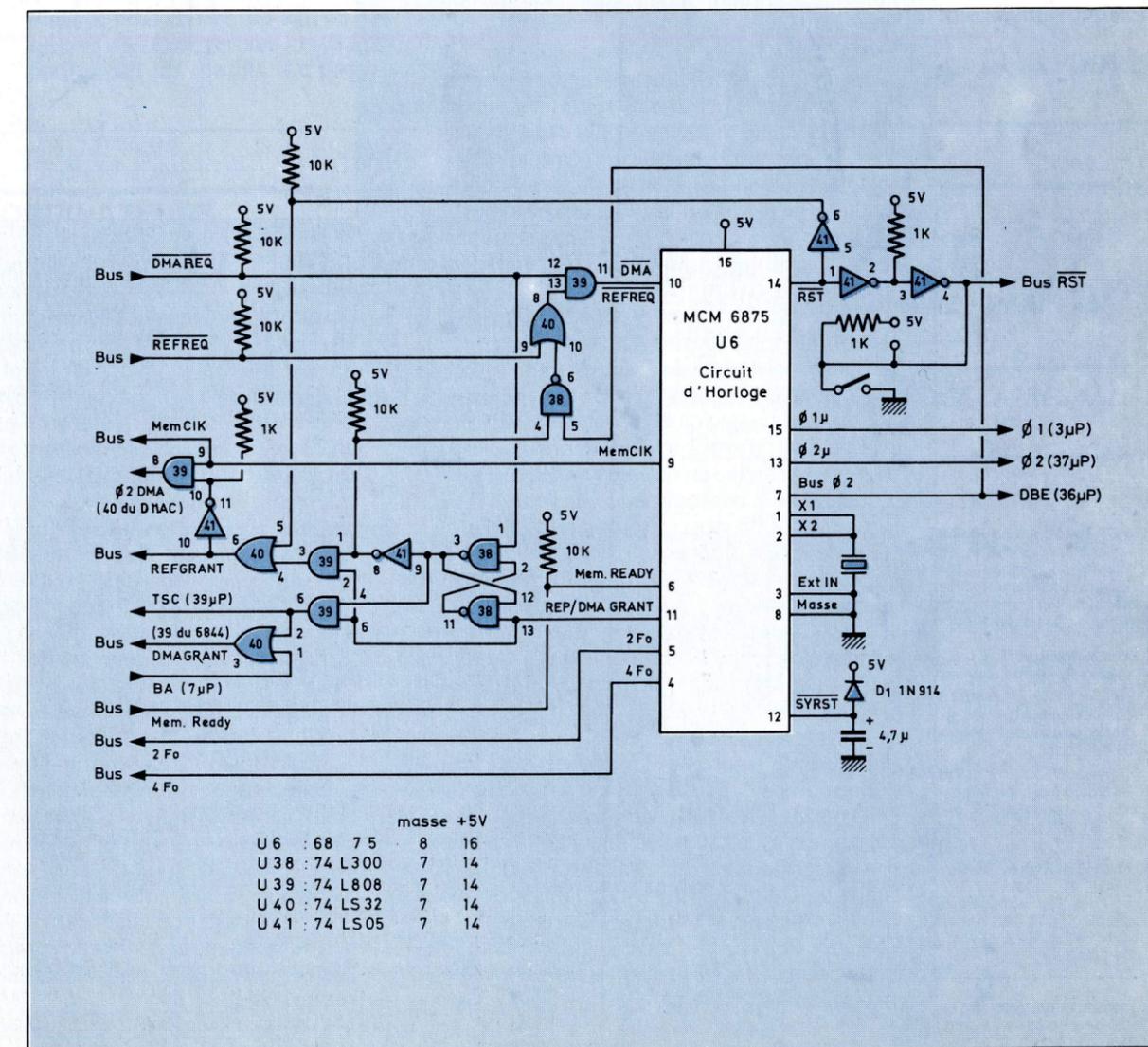
Remarquons que le compteur et

le monostable sont sensibles au front descendant de l'horloge. Grâce à l'inverseur le monostable se positionnera dès l'arrivée de REFGNT fournissant la commande du point N. Ceci mettra fin, par l'apparition du niveau haut T₄, à la demande de rafraîchissement. La réponse REF GNT reste à niveau haut, pendant environ un cycle d'horloge et reproduit la période de MEMCLK. Si la demande de rafraîchissement est asynchrone, déterminée par T₄, la réponse est synchrone au MEM CLK et nous le mettons à profit pour la bonne marche des circuits.

Comme toujours, il est plus facile de faire et de rajouter en électronique que d'expliquer avec luxe de détails. Ces circuits peuvent s'améliorer sans cesse. Nous les avons figés dans cet état précis et ils ont été implantés sous cette forme.

Le compteur de rafraîchissement et l'électronique associée peuvent servir à rafraîchir de la RAM supplémentaire, située par exemple sur les connecteurs enfichables, perpendiculairement à la plaque-mère. L'adresse-mémoire de cette RAM pourra être quelconque. Seuls changeront les circuits addi-

Fig. 8. - Circuit logique d'horloge utilisé pour le microprocesseur, l'accès direct à la mémoire (DMA) et les mémoires dynamiques.



masse +5V			
U 6	: 68 75	8	16
U 38	: 74 L300	7	14
U 39	: 74 L808	7	14
U 40	: 74 LS32	7	14
U 41	: 74 LS05	7	14

* VMA : Valid Memory Address : adresse mémoire validée.

Les RAM dynamiques et leur rafraîchissement

Une mémoire de M mots de N bits chacun contient M x N cellules élémentaires. Ces cellules, permettant l'inscription et la lecture d'une information de 1 bit, peuvent être de plusieurs sortes : dans les mémoires vives (RAM), dites statiques, la cellule élémentaire est composée d'un bistable, c'est-à-dire d'un circuit électronique, composé principalement de deux transistors (T₁ et T₂), pouvant prendre deux états stables. Ces deux états sont : T₁ en conduction, T₂ bloqué et inversement T₁ bloqué, T₂ en conduction.

En conduction, chaque transistor consomme un courant et les résistances de drain dissipent une puissance faible, mais non-négligeable si l'on pense que la pastille de silicium en contiendra quelques milliers, à raison de deux résistances par cellule. Une RAM utilisant de tels bistables, appelés « MOS Canal-N (ou P) » consommera dans l'ensemble, pour 4096 bits de capacité (autant de bistables), environ 100 mA sous 5 V.

Pour éviter la consommation au repos du bistable, les ingénieurs ont imaginé d'utiliser à la place des résistances de drain, des transistors MOS complémentaires (C.MOS).

On constate que quelque soit l'état du système, il y aura un transistor qui bloquera le passage du courant. On arrive en définitive à obtenir une réduction de la consommation de l'ensemble d'un facteur de 1 000, des consommations globales de 10 ou de 100 mA devenant courantes.

Malheureusement, un transistor MOS n'est pas exempt d'une capacité parasite d'entrée-grille/ source non négligeable (qui double si l'on utilise la technologie MOS-Complémentaire caractérisée par l'attaque de deux transistors, donc de deux grilles à la fois).

Mais cette capacité parasite, pourrait être utilisée à profit comme élément mémoire, ce qui a donné naissance à un deuxième type de RAM-S.

Dans les RAM-S dynamiques l'élément mémoire n'est plus un bistable mais la capacité parasite grille-canal d'un transistor MOS, T₁ sur la figure A. Cette capacité est de l'ordre de quelques pF. La résistance d'entrée de T₁ étant de quelques GΩ (10⁹ Ω), la constante de temps de décharge de C₁ avoisine la dizaine de millisecondes.

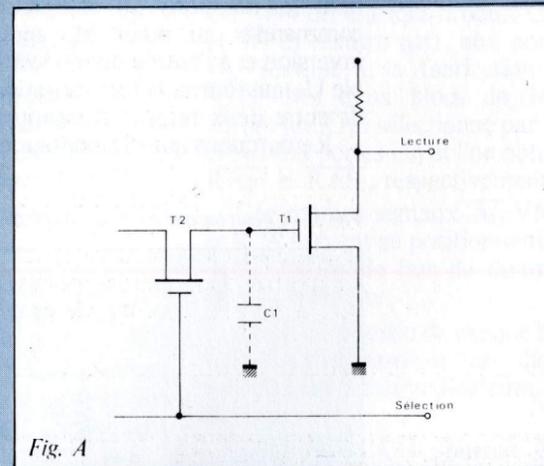


Fig. A

Donc, si par T₂ on charge la capacité C₁ à la tension + V et si par la suite on bloque T₂, la charge du condensateur se maintiendra pendant environ 10 ms. Le fait d'être chargé ou non constitue la mémorisation d'un 1 ou d'un 0.

Pour maintenir l'état de charge de C₁, on utilise la technique du rafraîchissement qui consiste en un envoi d'impulsions de recharge vers les condensateurs qui sont déjà chargés. Si l'on transmet ces impulsions toutes les 2 ms, au plus, par exemple, la tension aux bornes de C₁ restera en permanence dans la zone du niveau. « 1 » logique. Si, par mégarde, on oublie de rafraîchir une seule fois, la mémoire se volatilise, même sans coupure de l'alimentation.

En réalité, le fonctionnement à grande vitesse exige des capacités-mémoire les plus petites possibles, ce qui rend les cellules-mémoire très sensibles aux bruits et parasites. Pour mieux faire, au lieu d'amplifier par un transistor T₁ la tension d'un seul condensateur-mémoire C₁, on est amené dans la pratique à utiliser deux condensateurs pouvant recevoir les parasites en commun, mais dont seulement un reçoit les éléments à mémoriser. Par la suite on utilise une amplification différentielle des tensions de la cellule mémoire proprement dite et de la cellule paire ou fictive et l'on élimine ainsi les bruits, les dérives thermiques, les parasites, etc.

tionnels de positionnement-mémoire équivalents à nos portes U₁₁, U₃₇ qui manipulent les fils d'adressage A₁₄, A₁₅.

B.2. L'unité centrale, le contrôleur de DMA et l'horloge

Les ressources du système, mémoires, entrées/sorties, etc, peuvent être gérées par deux « maîtres », dépendant tous les deux du générateur d'horloge de la figure 8. Les deux utilisateurs possibles ont en commun la qualité d'émetteurs d'adresse alors qu'aucun autre circuit dans le système ne peut le faire. Il s'agit de les soumettre à un certain protocole pour éviter les conflits. Ce proto-

cole peut passer par l'« intelligence » du boîtier unité centrale 6800, quand la passation des pouvoirs se fait par une action sur l'entrée « Halt » ou par l'allongement des cycles d'horloge, prévu dans le fonctionnement du circuit d'horloge 6875, auquel cas on fait du « vol de cycle », l'unité centrale ne s'apercevant de rien.

Ainsi les trois boîtiers, le 6875-générateur d'horloge, le 6800 (unité centrale) et le 6844 (contrôleur de DMA), interdépendants, donnent au système la possibilité de fonctionner avec ou sans unité centrale, en configuration multi-micro-ordinateurs ou monoposte, laissant prévoir la possibilité de connexion à des mémoires de masse comme les disques souples ou durs, etc.

Conclusion

Après cette présentation de la partie mémoire et des possibilités offertes par la présence d'un contrôleur de DMA sur la carte, nous passerons en revue, dans notre prochain numéro les autres ressources du système : interfaces vidéo, clavier, minicassette et nous décrirons l'interpréteur BASIC. D'ores et déjà on peut remarquer que toutes les ressources de la plaque pourront être mises à la disposition d'un autre micro-ordinateur extérieur par l'intermédiaire du contrôleur de DMA.

Bien entendu, nous vous présenterons de façon détaillée le cœur du système : le microprocesseur 6800. ■

A. DORIS

LES MICRO-ORDINATEURS

APPLE II
SIMPLE,
PERFORMANT



I - MICRO-ORDINATEURS et FLOPPY DISKS APPLE II

APPLE II est un micro-ordinateur complet, assemblé et testé; il est livré avec câbles de raccordement, manuel d'utilisation, cassettes de démonstration, ainsi que deux manettes pour tracés de diagrammes.

Configuration
16 K F 8 300 HT
32 K F 10 000 HT
48 K F 12 000 HT
Vous pouvez nous consulter pour des configurations différentes.
MINI FLOPPY "DISK II"

D'une capacité de 116 octets formatés, d'un accès direct rapide; l'ensemble comprenant le Driver, le Contrôleur et le Disc Operating System (D.O.S.) est livré avec manuel et deux disquettes F 4.950 HT

II - INTERFACES

- Interface de codage couleur RVB (nécessite une prise RVB sur le téléviseur)
Prix F 780 HT

- Interface de codage couleur SECAM
Prix F 1280 HT
- Modulateur noir et blanc seul F 280 HT
- Interface de sortie parallèle pour imprimante ou applications diverses F 1280 HT
- Interface de série en mode V 24, RS 232 C (vitesse commutable de 75 à 19.200 bauds permettant le raccordement à tous les périphériques ou systèmes au standard de communication RS 232 C) F 1280 HT
- Interface de communication vitesse de 110 à 300 bauds en RS 232 C (destiné plus particulièrement aux liaisons par modem et à l'utilisation de l'APPLE comme terminal)
Prix F 1280 HT
- Interface de reconnaissance de la parole, permet de reconnaître un mot parmi un vocabulaire programmable de 32 mots (reconnaissance par analyse heuristique)
Prix F 1700 HT

Les ordinateurs APPLE II et les mini Floppys APPLE II sont garantis six mois à dater de la livraison, contre tout vice de fabrication. Des contrats (pièces et main d'œuvre) de maintenance peuvent être souscrits au-delà de cette période. Les autres périphériques bénéficient de la garantie spécifique de chaque fabricant.

ATTENTION : Les prix cités sur le présent tarif étant hors taxes, il y a lieu de les majorer de 17,60%.



ILLEL CENTER

143, AVENUE FÉLIX FAURE - PARIS 15^e
TÉL. : 554.83.81

DEMONSTRATION LE SAMEDI APRES-MIDI
OU SUR RENDEZ-VOUS



PROTEUS III A MICRO-ORDINATEUR

PROTEUS III UNITÉ CENTRALE
16 K-Ram (Réf. Proteus III-A) F 7 500 HT
32 K-Ram (Réf. Proteus III-B) F 9 148 HT
1 K-Mémoire de page écran.
8 K-Rom (Basic).
Unité centrale 6800 travaillant à 0,894 MHz. Clavier, 53 touches capacitives. 128 caractères dont ASCII majuscules + caractères graphiques.
Sortie UHF et vidéo.

Interface imprimante série : 20 mA, TTY, RS 232, gérée par le Basic.
Basic type étendu, capable de gérer 3 périphériques simultanément (clavier-écran vidéo, imprimante-TTY, magnéto K7), plus, éventuellement 1 à 3 floppy disk.
Magnétophone à K7 travaillant à 300 Bauds, utilisé comme mémoire de masse.

PROTEUS MONITOR
Moniteur vidéo de 30 cm, haute résolution, avec écran standard Proteus (européen)
Prix F 1 680 HT

PROTEUS SPRINT
Imprimante sur papier normal (non métallisé), travaille sur 80 colonnes à 1.200 Bauds (120 ch./s) F 8 707 HT

PROTEUS FLOPPY
Mini-Floppy travaillant en double densité, double face.
2,6 Mégabits par disquette.
Vitesse de transfert de 250 K-Bauds.
Temps d'accès moyen à un fichier : 500 ms. Prix F 6 650 HT

ATTENTION : Les prix cités sur le présent tarif étant hors taxes, il y a lieu de les majorer de 17,60%.